

全国重点名校系列

新版

全国硕士研究生招生考试 考研专业课精品资料

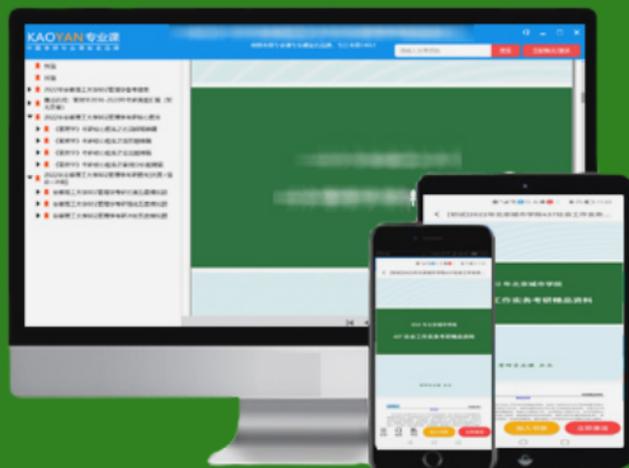
【电子书】2024年浙大城市学院

802信号系统与数字电路考研精品资料【第2册，
共2册】

策划：辅导资料编写组

真题汇编 直击考点
考研笔记 突破难点
核心题库 强化训练
模拟试题 查漏补缺

高分学长学姐推荐



版权声明

编写组依法对本书享有专有著作权，同时我们尊重知识产权，对本电子书部分内容参考和引用的市面上已出版或发行图书及来自互联网等资料的文字、图片、表格数据等资料，均要求注明作者和来源。但由于各种原因，如资料引用时未能联系上作者或者无法确认内容来源等，因而有部分未注明作者或来源，在此对原作者或权利人表示感谢。若使用过程中对本书有任何异议请直接联系我们，我们会在第一时间与您沟通处理。

因编撰此电子书属于首次，加之作者水平和时间所限，书中错漏之处在所难免，恳切希望广大考生读者批评指正。

目录

封面.....	1
目录.....	3
2024 年浙大城市学院 802 信号系统与数字电路考研核心笔记.....	6
《数字电子技术基础》考研核心笔记	6
第 1 章 数制和码制.....	6
考研提纲及考试要求.....	6
考研核心笔记.....	6
第 2 章 逻辑代数基础.....	11
考研提纲及考试要求.....	11
考研核心笔记.....	11
第 3 章 门电路.....	16
考研提纲及考试要求.....	16
考研核心笔记.....	16
第 4 章 组合逻辑电路.....	24
考研提纲及考试要求.....	24
考研核心笔记.....	24
第 5 章 触发器.....	34
考研提纲及考试要求.....	34
考研核心笔记.....	34
第 6 章 时序逻辑电路.....	42
考研提纲及考试要求.....	42
考研核心笔记.....	42
第 7 章 半导体存储器.....	46
考研提纲及考试要求.....	46
考研核心笔记.....	46
第 8 章 可编程逻辑器件.....	49
考研提纲及考试要求.....	49
考研核心笔记.....	49
第 9 章 硬件描述语言简介.....	52
考研提纲及考试要求.....	52
考研核心笔记.....	52
第 10 章 脉冲波形的产生和整形.....	56
考研提纲及考试要求.....	56
考研核心笔记.....	56
第 11 章 数-模和模-数转换.....	62
考研提纲及考试要求.....	62

考研核心笔记.....	62
2024 年浙大城市学院 802 信号系统与数字电路考研复习提纲.....	66
《数字电子技术基础》考研复习提纲	66
2024 年浙大城市学院 802 信号系统与数字电路考研核心题库.....	69
《数字电子技术基础》考研核心题库之选择题精编	69
《数字电子技术基础》考研核心题库之简答题精编	84
《数字电子技术基础》考研核心题库之分析计算题精编	118
2024 年浙大城市学院 802 信号系统与数字电路考研题库[仿真+强化+冲刺]	157
浙大城市学院 802 信号系统与数字电路之数字电子技术基础考研仿真五套模拟题	157
2024 年数字电子技术基础五套仿真模拟题及详细答案解析（一）	157
2024 年数字电子技术基础五套仿真模拟题及详细答案解析（二）	171
2024 年数字电子技术基础五套仿真模拟题及详细答案解析（三）	185
2024 年数字电子技术基础五套仿真模拟题及详细答案解析（四）	201
2024 年数字电子技术基础五套仿真模拟题及详细答案解析（五）	210
浙大城市学院 802 信号系统与数字电路之数字电子技术基础考研强化五套模拟题	223
2024 年数字电子技术基础五套强化模拟题及详细答案解析（一）	223
2024 年数字电子技术基础五套强化模拟题及详细答案解析（二）	234
2024 年数字电子技术基础五套强化模拟题及详细答案解析（三）	248
2024 年数字电子技术基础五套强化模拟题及详细答案解析（四）	260
2024 年数字电子技术基础五套强化模拟题及详细答案解析（五）	273
浙大城市学院 802 信号系统与数字电路之数字电子技术基础考研冲刺五套模拟题	290
2024 年数字电子技术基础五套冲刺模拟题及详细答案解析（一）	290
2024 年数字电子技术基础五套冲刺模拟题及详细答案解析（二）	305
2024 年数字电子技术基础五套冲刺模拟题及详细答案解析（三）	318
2024 年数字电子技术基础五套冲刺模拟题及详细答案解析（四）	329
2024 年数字电子技术基础五套冲刺模拟题及详细答案解析（五）	339
附赠重点名校：数字电子技术基础 2011-2021 年考研真题汇编（暂无答案）	351
第一篇、2021 年数字电子技术基础考研真题汇编	351
2021 年安徽师范大学 904 数字电子技术基础考研专业课真题	351
第二篇、2020 年数字电子技术基础考研真题汇编	354
2020 年安徽师范大学 904 数字电子技术基础考研专业课真题	354
第三篇、2019 年数字电子技术基础考研真题汇编	356
2019 年安徽师范大学 904 数字电子技术基础考研专业课真题	356
2019 年烟台大学 832 数字电子技术基础考研专业课真题	358
第四篇、2018 年数字电子技术基础考研真题汇编	361
2018 年安徽师范大学 904 数字电子技术基础考研专业课真题	361
2018 年聊城大学 816 数字电子技术基础考研专业课真题	363

2018 年山东师范大学 826 数字电子技术基础考研专业课真题.....	366
第五篇、2017 年数字电子技术基础考研真题汇编	369
2017 年聊城大学 816 数字电子技术基础考研专业课真题	369
2017 年山东师范大学 826 数字电子技术基础考研专业课真题.....	373
第六篇、2016 年数字电子技术基础考研真题汇编	376
2016 年安徽师范大学 904 数字电子技术基础考研专业课真题.....	376
2016 年聊城大学 816 数字电子技术基础考研专业课真题	380
2016 年山东师范大学 823 数字电子技术基础考研专业课真题.....	383
第七篇、2015 年数字电子技术基础考研真题汇编	386
2015 年聊城大学 816 数字电子技术基础.....	386
2015 年山东师范大学 823 数字电子技术基础考研专业课真题.....	389
第八篇、2014 年数字电子技术基础考研真题汇编	392
2014 年山东师范大学 825 数字电子技术基础考研专业课真题.....	392
2014 年聊城大学 815 数字电子技术基础考研专业课真题	395
第九篇、2013 年数字电子技术基础考研真题汇编	398
2013 年聊城大学 815 数字电子技术基础考研专业课真题	398
2013 年深圳大学 810 数字电子技术基础考研专业课真题	401
第十篇、2012 年数字电子技术基础考研真题汇编	405
2012 年聊城大学 815 数字电子技术基础考研专业课真题	405
第十一篇、2011 年数字电子技术基础考研真题汇编	408
2011 年深圳大学 829 数字电子技术基础考研专业课真题	408

2024 年浙大城市学院 802 信号系统与数字电路考研核心笔记

《数字电子技术基础》考研核心笔记

第 1 章 数制和码制

考研提纲及考试要求

考点：数字量与模拟量
 考点：数字信号的一些特点
 考点：十进制数
 考点：二进制数
 考点：不同进制数的对照表

考研核心笔记

【核心笔记】概述

1. 数字量与模拟量

(1) 数字量：物理量的变化在时间上和数量上都是离散的。它们数值的大小和每次变化的增减变化都是某一个最小数量单位的整数倍，而小于这个最小数量单位的数值没有任何物理意义。

(2) 数字信号：表示数字量的信号。如矩形脉冲。

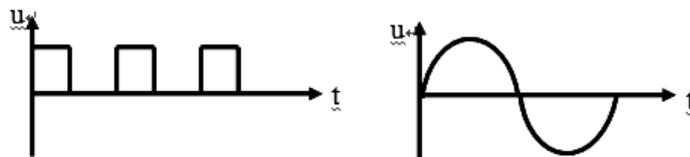
(3) 数字电路：工作在数字信号下的电子电路。

(4) 模拟量：物理量的变化在时间上和数值上都是连续的。

(5) 模拟信号：表示模拟量的信号。如正弦信号。

(6) 模拟电路：工作在模拟信号下的电子电路。

这个信号在连续变化过程中的任何一个取值都有具体的物理意义，即表示一个相应的温度。



2. 数字信号的一些特点

数字信号通常都是以数码形式给出的。

不同的数码不仅可以用来表示数量的不同大小，而且可以用来表示不同的事物或事物的不同状态。

【核心笔记】几种常用的数制

数制：把多位数码中每一位的构成方法以及从低位到高位进位的规则称为数制。

在数字电路中经常使用的计数进制有十进制、二进制和十六进制。有时也用到八进制。

1. 十进制数

十进制是日常生活中最常使用的进位计数制。在十进制数中，每一位有 0~9 十个数码，所以计数的基数是 10。超过 9 的数必须用多位数表示，其中低位和相邻高位之间的进位关系是“逢十进一”。

任意十进制数 D 的展开式： $D = \sum k_i 10^i$

k_i 是第 i 位的系数，可以是 $0\sim 9$ 中的任何一个。

2. 二进制数

二进制数的进位规则是“逢二进一”，其进位基数 $R=2$ ，每位数码的取值只能是 0 或 1，每位的权是 2 的幂。

任何一个二进制数，可表示为： $D = \sum k_i 2^i$

3. 八进制数

八进制数的进位规则是“逢八进一”，其基数 $R=8$ ，采用的数码是 0、1、2、3、4、5、6、7，每位的权是 8 的幂。任何一个八进制数也可以表示为： $D = \sum k_i 8^i$

4. 十六进制数

十六进制数的特点是：

- (1) 采用的 16 个数码为 0、1、2、…、9、A、B、C、D、E、F。符号 A~F 分别代表十进制数的 10~15。
- (2) 进位规则是“逢十六进一”，基数 $R=16$ ，每位的权是 16 的幂。

5. 不同进制数的对照表

十进制	二进制	八进制	十六进制
00	0000	00	0
01	0001	01	1
02	0010	02	2
03	0011	03	3
04	0100	04	4
05	0101	05	5
06	0110	06	6
07	0111	07	7
08	1000	10	8
09	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F

【核心笔记】不同数制间的转换

1. 二一十转换

二进制数转换成十进制数时，只要将二进制数按权展开，然后将各项数值按十进制数相加，便可得到等值的十进制数。

同理，若将任意进制数转换为十进制数，只需将数 $(N)_R$ 写成按权展开的多项式表示式，并按十进制规则进行运算，便可求得相应的十进制数 $(N)_{10}$ 。

2. 十一二转换

① 整数转换：除 2 取余法。

②小数转换：乘 2 取整法。

小数部分乘 2 取整的过程，不一定能使最后乘积为 0，因此转换值存在误差。通常在二进制小数的精度已达到预定的要求时，运算便可结束。

将一个带有整数和小数的十进制数转换成二进制数时，必须将整数部分和小数部分分别按除 2 取余法和乘 2 取整法进行转换，然后再将两者的转换结果合并起来即可。

同理，若将十进制数转换成任意 R 进制数 $(N)_R$ ，则整数部分转换采用除 R 取余法；小数部分转换采用乘 R 取整法。

3. 二进制数与八进制数、十六进制数之间的相互转换

八进制数和十六进制数的基数分别为 $8=2^3$ ， $16=2^4$ ，所以三位二进制数恰好相当一位八进制数，四位二进制数相当一位十六进制数，它们之间的相互转换是很方便的。

二进制数转换成八进制数的方法是从小数点开始，分别向左、向右，将二进制数按每三位一组分组(不足三位的补 0)，然后写出每一组等值的八进制数。

二进制数转换成十六进制数的方法和二进制数与八进制数的转换相似，从小数点开始分别向左、向右将二进制数按每四位一组分组(不足四位补 0)，然后写出每一组等值的十六进制数。

八进制数、十六进制数转换为二进制数的方法可以采用与前面相反的步骤，即只要按原来顺序将每一位八进制数(或十六进制数)用相应的三位(或四位)二进制数代替即可。

【核心笔记】二进制算数运算

算术运算：当两个数码分别表示两个数量大小时，它们可以进行数量间的加、减、乘、除等运算。这种运算称为算术运算。

1. 二进制算数运算的特点

逢二进一

加法运算	减法运算	乘法运算	除法运算
$\begin{array}{r} 1101.01 \\ +1001.11 \\ \hline 10111.00 \end{array}$	$\begin{array}{r} 1101.01 \\ -1001.11 \\ \hline 0011.10 \end{array}$	$\begin{array}{r} 1101 \\ \times 110 \\ \hline 0000 \\ 1101 \\ 1101 \\ \hline 1001110 \end{array}$	$\begin{array}{r} 101 \overline{)11011} \\ \underline{101} \\ 111 \\ \underline{101} \\ 10 \cdots \text{余数} \end{array}$

二进制算术运算的两个特点：

二进制的乘法运算可以通过若干次的“被乘数(或 0)左移 1 位”和“被乘数(或 0)与部分积相加”这两种操作完成；

二进制数的除法运算能通过若干次的“除数右移 1 位”和“从被除数或余数中减去除数”这两种操作完成。

2. 原码、反码和补码和补码运算

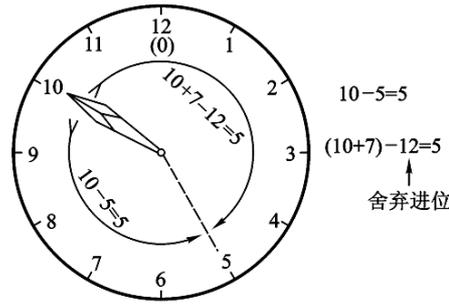
二进制数的正、负表示方法通常采用的是在二进制数的前面增加一位符号位。这种形式的数称为原码。

原码：符号位为 0 表示这个数是正数，符号位为 1 表示这个数是负数。以下各位表示数值。

在做减法运算时，如果两个数是用原码表示的，则首先需要比较两数绝对值的大小，然后以绝对值大的一个作为被减数、绝对值小的一个作为减数，求出差值，并以绝对值大的一个数的符号作为差值的符号。

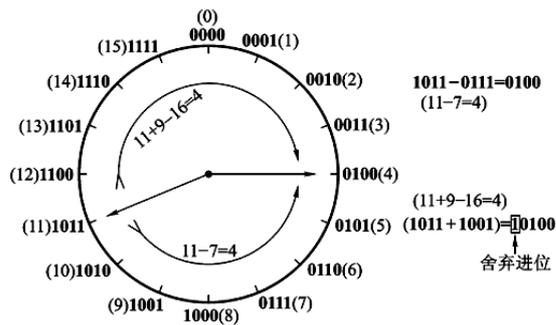
这个操作过程比较麻烦，而且需要使用数值比较电路和减法运算电路。

如果用两数的补码相加代替上述减法运算，则计算过程中就无需使用数值比较电路和减法运算电路了，从而使减法运算器的电路结构大为简化。



10-5 的减法运算可以用 10+7 的加法运算代替。

因为 5 和 7 相加正好等于产生进位的模数 12, 所以称 7 为 -5 对模 12 的补数, 也称为补码(complement)。在舍弃进位的条件下, 减去某个数可以用加上它的补码来代替。这个结论同样适用于二进制数的运算。



1011-0111=0100 的减法运算, 在舍弃进位的条件下, 可以用 1011+1001=0100 的加法运算代替。

1001 是 0111 对模 16 的补码。

对于有效数字 (不包括符号位) 为 n 位的二进制数 N , 它的补码 $(N)_{COMP}$ 表示方法为

$$(N)_{COMP} = \begin{cases} N & (\text{当 } N \text{ 为正数}) \\ 2^n - N & (\text{当 } N \text{ 为负数}) \end{cases}$$

正数的补码与原码相同, 负数的补码等于 $2^n - N$ 。

为避免在求补码的过程中做减法运算, 通常是先求出 N 的反码, 然后在负数的反码上加 1 而得到补码。

$$(N)_{INV} = \begin{cases} N & (\text{当 } N \text{ 为正数}) \\ 2^n - 1 - N & (\text{当 } N \text{ 为负数}) \end{cases}$$

反码: 正数的反码等于原码, 负数的反码: 符号位不变, 以下各位按位取反。

补码: 正数的补码等于原码, 负数的补码: 符号位不变, 以下各位按位取反, 加 1。

注意: 在两个同符号数相加时, 它们的绝对值之和不可超过有效数字位所能表示的最大值, 否则会得出错误的计算结果。

【核心笔记】几种常用的编码

不同的数码不仅可以表示数量的大小, 而且还可以表示不同事物或事物的不同状态在用于表示不同事物的情况下, 这些数码已经不再具有表示数量大小的含义了, 它们只是不同事物的代号而已。这些数码称为代码。

为了便于记忆和查找, 在编制代码时总要遵循一定的规则, 这些规则就称为码制。

1. 十进制代码

用四位二进制码的 10 种组合表示十进制数 $0 \sim 9$, 简称 BCD 码(Binary Coded Decimal)。这种编码至少需要用四位二进制码元, 而四位二进制码元可以有 16 种组合。当用这些组合表示十进制数 $0 \sim 9$ 时, 有六种组合不用。由 16 种组合中选用 10 种组合。

2024 年浙大城市学院 802 信号系统与数字电路考研复习提纲

《数字电子技术基础》考研复习提纲

《数字电子技术基础》复习重点提纲

第一章 绪论

[复习要求]:

了解数字量与模拟量的特点, 数字电路的特点、应用。

[本章主要内容]:

- 1.1 数字与模拟
- 1.2 数字电路的特点
- 1.3 数字电路的应用

[本章重点]:

1. 数字电路的特点

[本章难点]:

1. 数字电路的特点

第二章 逻辑代数基础

[复习要求]:

掌握逻辑代数的三种基本运算、三项基本定理、基本公式和常用公式。了解二进制的算术运算与逻辑运算的不同之处。掌握逻辑函数的四种表示方法(真值表法、逻辑式法、卡诺图法及逻辑图法)及其相互之间的转换。理解最小项的概念及其在逻辑函数表示中的应用。掌握逻辑函数的公式化简法和图形化简法。掌握约束项的概念及其在逻辑函数化简中的应用。

[本章主要内容]:

- 2.1 概述
- 2.2 逻辑代数中的三种基本运算
- 2.3 逻辑代数的基本公式和常用公式
- 2.4 逻辑代数的基本定理
- 2.5 逻辑代数及其表示方法
- 2.6 逻辑函数的化简方法
- 2.7 具有无关项的逻辑函数及其化简

[本章重点]:

1. 逻辑函数的公式化简法
2. 逻辑函数的卡诺图化简法

[本章难点]:

1. 逻辑函数的化简方法
2. 具有无关项的逻辑函数及其化简

第三章 门电路

[复习要求]:

了解门电路的定义及分类方法。二极管、三极管的开关特性, 及分立元件组成的与、或、非门的工作原理。理解 CMOS 反相器的工作原理, 掌握其静态特性。了解 CMOS 反向器的动特性, 其他类型 CMOS 门的工作原理及 CMOS 门的改进系列。理解 TTL 反相器的工作原理, 掌握其静态特性, 了解动态特性。了解其它类型 TTL 门的工作原理及 TTL 门的改进系列。

[本章主要内容]:

- 3.1 概述
- 3.2 半导体二极管门电路
- 3.3 CMOS 门电路...
- 3.4 TTL 门电路

[本章重点]:

1. CMOS 门电路的静态特性
2. TTL 门电路的静态特性

[本章难点]:

1. CMOS 门电路的静态特性
2. TTL 门电路的静态特性
3. CMOS 非门的工作原理
4. TTL 非门的工作原理

第四章 组合逻辑电路

[复习要求]:

掌握组合逻辑电路的设计与分析方法。理解常用组合逻辑电路,即编码器、译码器、数据选择器、加法器及数值比较器的基本概念、工作原理及应用。掌握译码器和数据选择器在组合电路设计中的应用。了解组合电路中的竞争与冒险现象、产生原因及消除方法。

[本章主要内容]:

- 4.1 概述
- 4.2 组合逻辑电路的分析方法和设计方法
- 4.3 若干常用组合逻辑电路
- 4.4 组合逻辑电路中的竞争—冒险现象

[本章重点]:

1. 组合逻辑电路的分析方法和设计方法

[本章难点]:

1. 组合逻辑电路的设计方法
2. 组合逻辑电路中的竞争—冒险现象

第五章 触发器

[复习要求]:

理解触发器的定义。掌握 RS 锁存器、电平触发的触发器、脉冲触发的触发器、边沿触发的触发器的动作特点。掌握触发器的各种逻辑功能(DFF, JKFF, SRFF, TFF, T'FF)。掌握触发器逻辑功能与触发方式的区别。掌握画触发器工作波形的方法。

[本章主要内容]:

- 5.1 概述
- 5.2 SR 锁存器
- 5.3 电平触发的触发器
- 5.4 脉冲触发的触发器
- 5.5 边沿触发的触发器
- 5.6 触发器的逻辑功能及其描述方法

[本章重点]:

1. 各种触发方式的触发器及其动作特点
2. 触发器的各种逻辑功能

[本章难点]:

1. 触发器逻辑功能与触发方式的区别
2. 触发器工作波形的画法

第六章 时序逻辑电路

[复习要求]:

掌握时序逻辑电路的定义及同步时序电路的分析与设计方法。了解异步时序电路的概念。理解时序电路各方程组(输出方程组、驱动方程组、状态方程组),状态转换表、状态转换图及时序图在分析和设计时序电路中的重要作用。了解常用时序电路(计数器、移位寄存器)的组成及工作原理及其应用。

[本章主要内容]:

- 6.1 概述
- 6.2 时序逻辑电路的分析方法
- 6.3 若干常用时序逻辑电路
- 6.4 同步时序逻辑电路的设计方法

[本章重点]:

1. 同步时序逻辑电路的分析方法和设计方法

[本章难点]:

1. 同步时序逻辑电路的分析方法和设计方法

第七章 半导体存储器

[复习要求]:

掌握半导体存储器的功能及分类，了解它们在数字系统中的作用。了解只读存储器 ROM、随机存储器 RAM 的组成及工作原理，掌握存储容量的扩展方法。了解用存储器实现组合逻辑函数的方法。

[本章主要内容]:

概述

7.1 只读存储器

7.2 随机存储器

7.3 存储器容量的扩展

7.4 用存储器实现组合逻辑函数

[本章重点]:

1. 半导体存储器的功能及分类

2. 存储容量的扩展方法

[本章难点]:

1. 存储容量的扩展方法。

第八章 脉冲波形的产生和整形

[复习要求]:

了解脉冲产生及整形电路的分类及脉冲波形参数的定义。掌握 555 定时器及其组成三种脉冲电路（施密特触发器，单稳触发器和多谐振荡器）的工作原理，及波形参数与电路参数之间的关系。

[本章主要内容]:

8.1 概述

8.2 555 定时器及其应用

[本章重点]:

1. 555 定时器及其组成三种脉冲电路的原理及波形参数

[本章难点]:

1. 555 定时器组成的三种脉冲电路的原理，工作波形及波形参数计算

第九章 数—模和模—数转换

[复习要求]:

了解 ADC、DAC 在数字系统中的作用及分类方法。掌握权电阻网络 DAC，倒 T 型电阻网络 DAC 的工作原理及 DAC 的转换精度与速度。了解具有双极型输出的 DAC 及权电流型 DAC 的原理。掌握 ADC 的转换步骤、取样定理，理解并联比较型、逐次逼近型 ADC 及双积分型 ADC 的工

理及性能指标。

[本章主要内容]:

8.1 概述

8.2 D/A 转换器

8.3 A/D 转换器

[本章重点]:

1. 各种 DAC 的特点

2. DAC 输出电压的计算公式 3. 模数转换的步骤

4. 各种 ADC 的特点

[本章难点]:

1. 模数转换的步骤

2024 年浙大城市学院 802 信号系统与数字电路考研核心题库

《数字电子技术基础》考研核心题库之选择题精编

1. 为构成 2048×8 的 RAM, 需要_____片 1024×1 的 RAM, 并且需要有_____位地址译码以完成寻址操作。

- A. 8 片, 10 位;
- B. 16 片, 11 位;
- C. 16 片, 14 位;
- D. 10 片, 12 位。

【答案】B

2. 在下列逻辑部件中, 不属于组合逻辑部件的是_____。

- A. 译码器
- B. 编码器
- C. 全加器
- D. 寄存器

【答案】D

3. 下列电路中, 不属于组合逻辑电路的是_____。

- A. 译码器;
- B. 全加器;
- C. 寄存器;
- D. 编码器

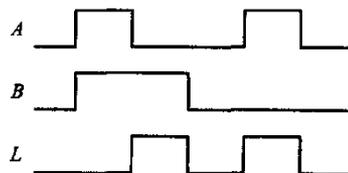
【答案】C

4. 一个五位的二进制加法计数器, 由 00000 状态开始, 问经过 169 个输入脉冲后, 此计数器的状态为_____。

- A. 00111;
- B. 00101;
- C. 01000;
- D. 01001

【答案】D

5. 已知逻辑函数 L 的波形图如下图所示, 则逻辑函数满足_____。



图

- A. $L = A \odot B$
- B. $L = A \oplus B$
- C. $L = A + B$

D. $L=AB$

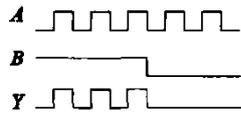
【答案】B

6. _____ 可用来自动产生矩形波脉冲信号。

- A. 施密特触发器；
- B. 单稳态触发器；
- C. T 触发器；
- D. 多谐振荡器。

【答案】D

7. A、B 为逻辑门的两个输入端，Y 为输出。A、B 和 Y 的波形如图所示，则该门电路执行的是_____ 逻辑操作。



图

- A. 与
- B. 与非
- C. 或
- D. 或非

【答案】A

8. 对于用两个或非门构成的基本 SR 锁存器，如果 $S=R=0$ ，则触发器的状态应为_____。

- A. 置 0
- B. 置 1
- C. 不变
- D. 不定

【答案】C

9. 555 定时器的阈值为_____。

- A. $\frac{1}{3}V_{CC}$
- B. $\frac{2}{3}V_{CC}$
- C. $\frac{2}{3}V_{CC}$ 和 $\frac{1}{3}V_{CC}$
- D. $\frac{1}{2}V_{CC}$ 和 V_{CC}

【答案】C

10. 单稳态触发器的主要用途是_____。

- A. 整形，延时，鉴幅；
- B. 整形，鉴幅，定时；
- C. 延时，定时，整形；
- D. 延时，定时，存储。

【答案】C

11. 下列叙述中，最确切的说法是_____。

- A. ROM 和 PLA 实现的函数均用与-或式描述
- B. ROM 和 PLA 实现的函数分别用最小项之和式和最简与-或式描述
- C. ROM 和 PLA 实现的函数分别用最小项之和式和最简或-与式描述
- D. ROM 和 PLA 实现的函数均用最简或-与式描述

【答案】B

12. 门电路组成的单稳态触发器输出脉冲宽度为 $1 \mu s$ ，恢复时间为 $4 \mu s$ ，则其最高工作频率为_____。

- A. $f_{max} \geq 500 \text{ kHz}$
- B. $f_{max} \leq 500 \text{ kHz}$
- C. $f_{max} \geq 200 \text{ kHz}$
- D. $f_{max} \leq 200 \text{ kHz}$

【答案】D

13. 函数 $F = (A + \bar{B}) \cdot \overline{C + \bar{D}}$ 的对偶式 $F' =$ _____

- A. $A \bar{B} + C \bar{D}$;
- B. $A \bar{B} + \overline{C \bar{D}}$;
- C. $\bar{A} B + \bar{C} D$;
- D. $\bar{A} B + \overline{\bar{C} D}$ 。

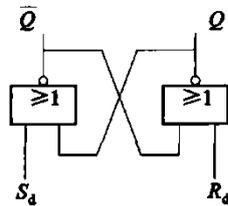
【答案】B

14. 用_____位二进制数可以表示任意 2 位十进制数。

- A. 7
- B. 8
- C. 9
- D. 10

【答案】A

15. 由两个“或非”门组成的基本 RS 触发器如下图所示，正确的真值表为_____。



图：电路图

S_d	R_d	Q
0	0	保持
0	1	0
1	0	1
1	1	0

(a)

S_d	R_d	Q
0	0	保持
0	1	0
1	0	1
1	1	0 (不定)

(b)

S_d	R_d	Q
0	0	0
0	1	0
1	0	1
1	1	0

(c)

S_d	R_d	Q
0	0	0
0	1	保持
1	0	1
1	1	0 (不定)

(d)

- A. (a)
- B. (b)
- C. (c)
- D. (d)

【答案】B

16. 某 512 位串行输入串行输出右移寄存器，已知时钟频率为 4MHz，数据从输入端到达输出端被延迟多长时间？_____

- A. 128μs
- B. 256μs
- C. 512μs
- D. 1024μs

【答案】A

17. 函数 $F = \overline{\overline{A + B + C}}$ 的对偶式 $F' =$ _____。

- A. $\overline{\overline{A \cdot B \cdot C}}$;
- B. $\overline{\overline{A + B + C}}$;
- C. $\overline{\overline{A \cdot B \cdot C}}$;
- D. $\overline{\overline{A \cdot B \cdot C}}$.

【答案】A

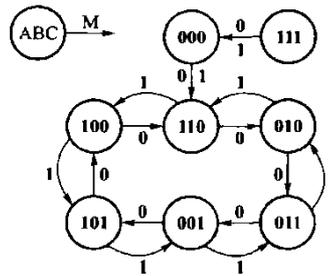
2024 年浙大城市学院 802 信号系统与数字电路考研题库[仿真+强化+冲刺]

浙大城市学院 802 信号系统与数字电路之数字电子技术基础考研仿真五套模拟题

2024 年数字电子技术基础五套仿真模拟题及详细答案解析（一）

一、简答题

1. 某电路的状态图如下图所示，图中，M 为控制变量，当 M=0 时，电路按顺时针方向所指的状态进行转换；当 M=1 时，则按逆时针方向进行状态转换。试用 Verilog 描述该电路的功能，并用 Quartus II 软件进行逻辑功能仿真，并给出仿真波形。



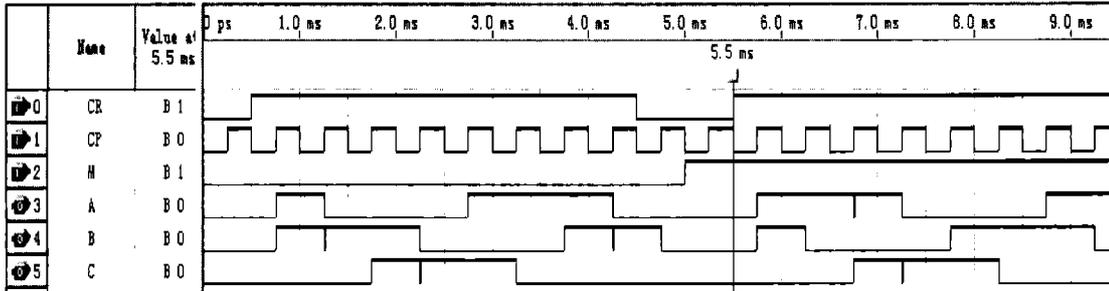
图

【答案】由状态图可知，电路的输出变量为 A、B、C，输入变量为 M，再增加两个输入变量，即时钟信号 CP 和清零信号 CR。于是得到下面的 Verilog HDL 行为描述程序：

```
//A Moor State machine
module Motor (A, B, C, M, CP, CR);
input M, CP, CR;
output A, B, C;
reg A, B, C;
reg [2 : 0] current_state, next_state; //分别为 3 个内部触发器的输出、输入信号
//The state labels and their assignments
parameter S0 = 3'b000, S1 = 3'b001, S2 = 3'b010, S3 = 3'b011, S4 = 3'b100,
          S5 = 3'b101, S6 = 3'b110, S7 = 3'b111;
always @ (posedge CP) //The state register
begin
if (~CR) current_state <= S0; //同步清零
else current_state <= next_state; //在 CP 的上升沿触发器状态翻转
end
//The combinational logic, assign the next state
always @ (current_state or M)
begin
case( current_state)
S7: begin { A, B, C } = 3'b111; next_state = S0; end
S0: begin { A, B, C } = 3'b000; next_state = S2; end
S1: begin { A, B, C } = 3'b100; next_state = (M == 0) ? S2 : S6; end
S2: begin { A, B, C } = 3'b110; next_state = (M == 0) ? S3 : S1; end
S3: begin { A, B, C } = 3'b010; next_state = (M == 0) ? S4 : S2; end
S4: begin { A, B, C } = 3'b011; next_state = (M == 0) ? S5 : S3; end
S5: begin { A, B, C } = 3'b001; next_state = (M == 0) ? S6 : S4; end
end
end
```

```
S6: begin { A, B, C } = 3'b101; next_state = (M == 0) ? S1 : S5; end
endcase
end
endmodule
```

仿真波形如下图所示。

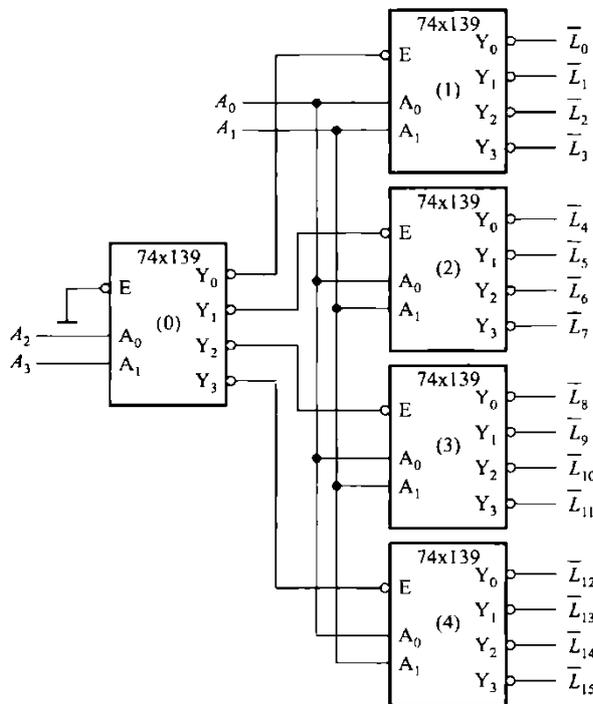


图

2. 2 线-4 线译码器 74x139 的输入为高电平有效，使能输入及输出均为低电平有效。试用 74x139 构成 4 线-16 线译码器。

【答案】该题目是将 2 线-4 线译码器扩展为 4 线-16 线译码器。

设输入为 A_3, A_2, A_1, A_0 ，输出为 $\bar{L}_0 \sim \bar{L}_{15}$ 。每片 74x139 中含有两个 2 线-4 线译码器，所以需要 3 片 74x139 构成 4 线-16 线译码器，(0) 号译码器的两个地址输入端分别接高两位 A_3, A_2 ，产生 4 个低有效信号分别控制 (1) 到 (4) 号译码器的使能端，使其轮流工作在译码状态。(1) 到 (4) 号译码器的两个地址输入端分别并接在一起，作为低两位 A_1, A_0 的输入端，这样就构成 4 线-16 线译码器，如下图题解所示。



图

3. 由主从 JK 触发器 FF 和 555 定时器组成的电路如图 1 所示，已知 CP 为 10Hz 的方波，如图 2 所示， $R_1 = 10k\Omega$ ， $R_2 = 56k\Omega$ ， $C_1 = 1000pF$ ， $C_2 = 4.7\mu F$ ，触发器 Q 端及 555 输出端 (3 端) 初态均为 “0”。

(1) 试画出 Q 端、 u_i 、 u_o 相对于 CP 脉冲的波形；

(2) 试求 Q 端输出波形的周期。

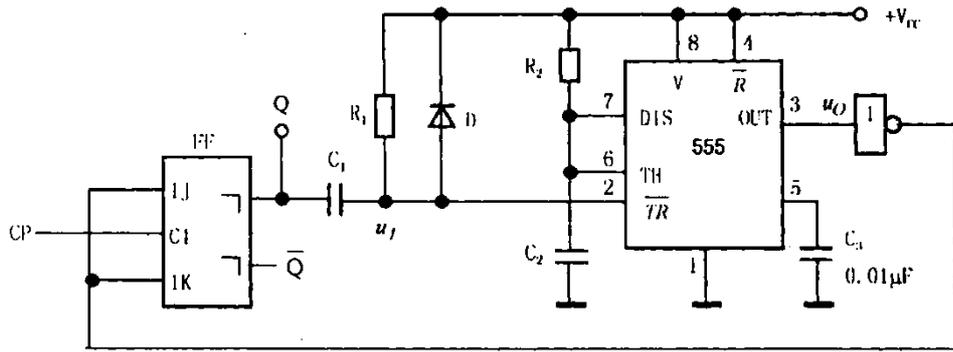


图 1

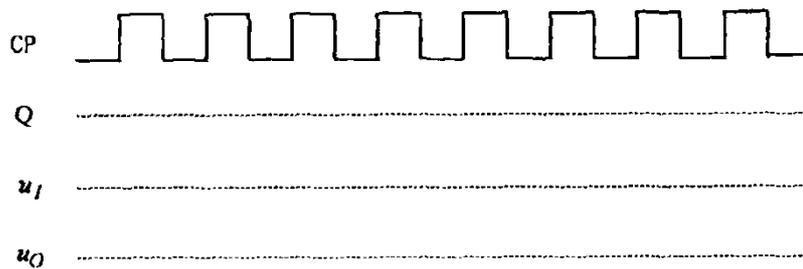


图 2——电路中 CP 波形

【答案】 (1) 本题电路中，555 定时器被接成单稳态触发器，其触发输入端 u_I (负脉冲触发) 由主从 JK 触发器的 Q 端经 R_1 和 C_1 组成的微分电路后提供，单稳态触发器的输出脉冲宽度 T_{WO} 取决于 R_2 和 C_2 的取值 ($T_{WO} \approx 1.1 R_2 C_2 \approx 0.29s$)。当 $u_O = 0$ 时，即单稳态触发器处于稳态时， $\overline{u_O} = 1$ ，主从 JK 触发器的 $J=K=1$ ，此时，每来一个 CP 脉冲，主从 JK 触发器的状态就要翻转一次。而当主从 JK 触发器的 Q 端出现由 $1 \rightarrow 0$ 的跳变时， u_I 产生一个负脉冲，使得单稳态触发器进入暂稳态。在暂稳态期间，由于 $u_O = 1$ ， $\overline{u_O} = 0$ ，主从 JK 触发器的 $J=K=0$ ，因此 Q 端保持 0 状态不变。

根据上述分析，可画出 Q、 u_I 、 u_O 相对于 CP 脉冲的波形如图 3 所示。

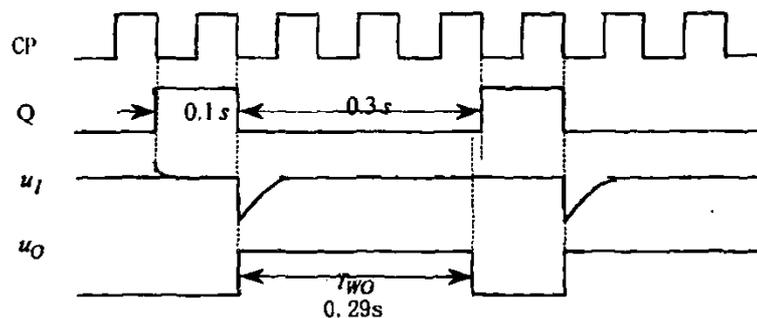


图 3——电路中 Q、 u_I 、 u_O 的波形

(2) 由 Q 端的波形图可知，其周期为 0.4s。

4. 由两片 74LS161 组成的同步计数器如下图 1 所示。

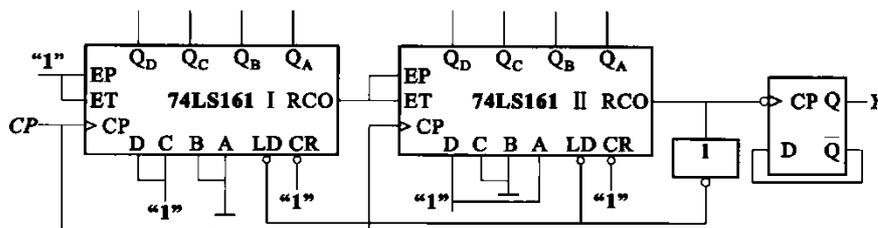


图 1: 逻辑图

(1) 试分析其输出 Y 的频率与 CP 的频率之间的关系？

(2) 试用两片 74LS161 组成模为 91 的计数器，要求两片间采用异步串行级联方式，并工作可靠。

【答案】 本题是由两片 74LS161 器件和 D 触发器级联组成的计数器电路。第 I 片的进位输出 RCO 接第 II 片的使能输入，并将第 II 片进位输出求反作为两片的置数使能，分别置入 1100 和 1001。D 触发器组成一个二分频电路。

求电路的分频比及 Y 的频率。由电路可知，只有当第 I 片进位输出为 1 即计数器输出为 1111 时，第 II 片才进入计数状态；而当第 II 片输出为 1111 时，两片进入置数状态，所以，该计数器的模为 $16 \times 6 + 4 = 100$ ，经由 D 触发器组成的 T' 触发器 2 分频后，电路输出 Y 的频率是 CP 频率的 $\frac{1}{200}$ 。分析此题时应注意

$RCO = ET \cdot Q_D Q_C Q_B Q_A$ ，只有高位和低位都为 1111 时，高位及 RCO 才为 1，两计数器处于置数状态。

组成串行级联，模为 91 的计数器。简便的方法是将两片 16 进制计数器串接成模为 $16 \times 16 = 256$ 的计数器，当计数器从 0 计数到 90 时产生置数信号，待第 91 个 CP 信号输入时，两片同时置入 0000。由于是同步置数，工作可靠。方法是用 $90 \div 16 = 5 \dots 10$ ，高位用 0101 作译码状态，低位用 1010 作译码状态，由此得到了置数端 L_D 的连接方式，如下图 2 所示。

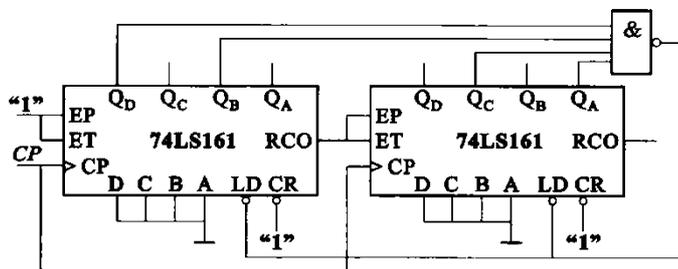


图 2: 91 进制的加法计数器

5. SR 锁存器如下图 1 所示，其初始状态为 $Q = 0, \bar{Q} = 1$ ，图中两个或非门的传输延迟时间均为 10ns。SR 锁存器的输入波形如图 2 所示，虚线表示的时间间隔为 10ns，画出考虑或非门传输延迟时间的输出波形。假定输入和输出信号的上升和下降时间均为 0。

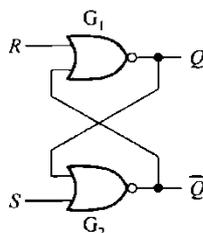


图 1

附赠重点名校：数字电子技术基础 2011-2021 年考研真题汇编（暂无答案）

第一篇、2021 年数字电子技术基础考研真题汇编

2021 年安徽师范大学 904 数字电子技术基础考研专业课真题

安徽师范大学

2021 年硕士研究生招生考试初试试题

科目代码： 904

科目名称： 数字电子技术基础

一、填空题（每题 2 分，共 30 分）

1. 二进制数 $1010.101+111.01=$ _____。
2. 8 位二进制数 -0 的反码为_____。
3. 三态门电路的输出有高电平、低电平和_____ 3 种状态。
4. 集电极开路门的英文缩写为_____门，工作时必须外加电源和负载。
5. RAM 分为静态存储器 SRAM 和_____。
6. 只读存储器的英文缩写为_____。
7. 十进制数 8 的格雷码为_____。
8. 十进制数 8 对应的 8421 码为_____。
9. 二进制数 $1011.1 \times 101=$ _____。
10. 触发器的触发方式有电平触发、脉冲触发和_____。
11. 时序逻辑电路按各触发器接受时钟信号的不同分为：同步时序电路和_____。
12. 可编程逻辑器件按集成度分类分为简单型 PLD 和_____。
13. CPLD 的英文全称是_____。
14. 数字信号到模拟信号的转换称为数-模转换，或称为_____。
15. 三种基本逻辑运算为与逻辑、或逻辑和_____。

二、简答题（每题 6 分，共 30 分）

1. 简述 CMOS 电路的优点。
2. 简述消除组合逻辑电路竞争-冒险现象的方法。
3. 触发器件有哪些基本特性？
4. 试解释逻辑代数的反演定理。
5. 简述 A/D 转换的基本定理。

考生请注意：答案必须写在答题纸上，写在本试题纸上的无效！

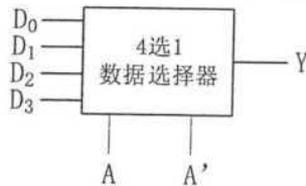
第 1 页，共 3 页

安徽师范大学 2021 年硕士研究生招生考试初试试题

三、逻辑函数化简题（共 15 分）

1. 用卡诺图化简函数 $Y(A,B,C,D) = \sum m(3,4,5,7,9,13,14,15)$ 。（10 分）
2. 用公式法化简函数 $Y = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$ ，写出详细步骤。（5 分）

四、（15 分）设计用 3 个开关控制一个电灯的逻辑电路，要求改变任何一个开关的状态都能控制电灯由亮变灭或者由灭变亮。要求用四选一数据选择器（如图）来实现。

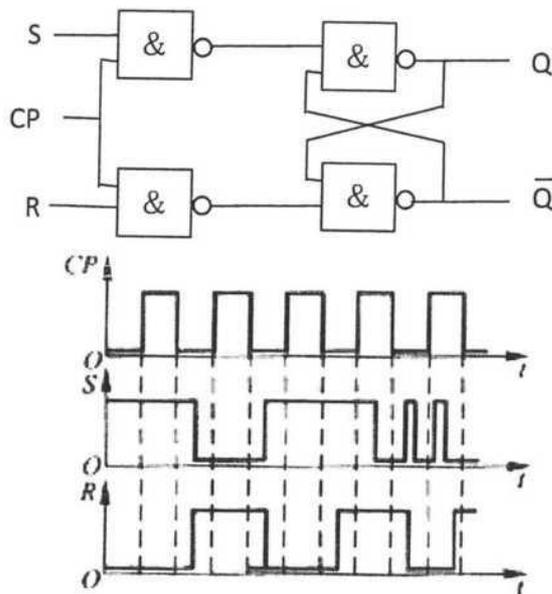


题四图

（A 为高位，AA'=00 对应输出 D_0 ，AA'=01 对应输出 D_1 ，AA'=10 对应输出 D_2 ，AA'=11 对应输出 D_3 ）

五、（20 分）用 JK 触发器设计一个同步六进制计数器。

六、（10 分）在图所示电路中，若 CP、S、R 的电压波形如图中所示，试画出 Q 和 \bar{Q} 端与之对应的电压波形。假定触发器的初状态为 $Q=0$ 。



题六图

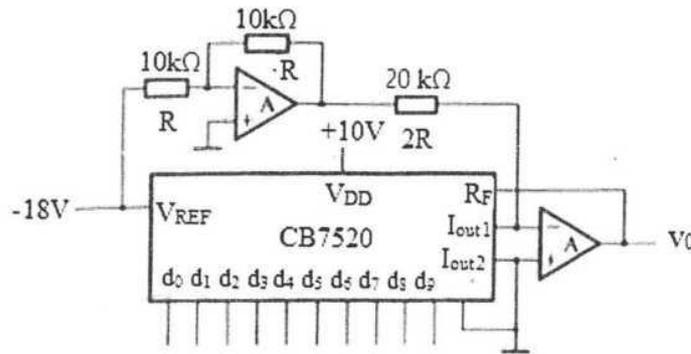
考生请注意：答案必须写在答题纸上，写在本试题纸上的无效！

第 2 页，共 3 页

安徽师范大学 2021 年硕士研究生招生考试初试试题

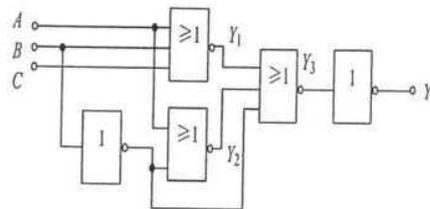
七、(15 分) 图中 CB7520 为 10 位倒 T 型电阻网络的 D/A 转换器，试求：

- (1) 1LSB 产生的输出电压增量是多少？
- (2) 输入为 $d_9 \sim d_0 = 1000000000$ 时的输出电压是多少？
- (3) 若输入以二进制补码给出，则最大的正数和绝对值最大的负数各为多少？它们对应的输出电压各为多少？



题七图

八、(15 分) 试分析图所示电路的逻辑功能。



题八图

考生请注意：答案必须写在答题纸上，写在本试题纸上的无效！

第 3 页，共 3 页

第二篇、2020 年数字电子技术基础考研真题汇编

2020 年安徽师范大学 904 数字电子技术基础考研专业课真题

安徽师范大学

2020 年硕士研究生招生考试初试试题

科目代码： 904

科目名称： 数字电子技术基础

一 填空题（30 分，每空 3 分）

1. 将二进制数 10001.101 化成十进制数为_____。
2. 用 8421BCD 码表示数 248 为_____。
3. 4 位循环码（格雷码）0100 对应的二进制码为_____。
4. 3 位二进制加法计数器最多能累计_____个脉冲。
5. 一个具有 14 位地址和 8 位字长的存储器，能存储_____字节的信息。
6. 用 32K×8 位的 EPROM 芯片组成 128K×16 位的只读存储器，数据寄存器为_____位。
7. DAC 的转换误差用_____来表示。
8. 具有 6 位分辨率、输出电压的范围为 0~10 V 的 D/A 转换器，其最低有效位的权重是_____。
9. 施密特触发器输出波形非常陡，通常用于_____等场合。
10. 将十六进制数 0.6A 化成二进制数为_____。

二 简答题（30 分，每题 6 分）

1. OC 门、OD 门与三态门各有什么特点？
2. 试述时序逻辑电路的特点。
3. SRAM 靠什么原理存储信息？
4. A/D 转换器与 D/A 转换器的分辨率和精度有何区别？
5. 组合逻辑电路的设计为什么可以从卡诺图直接进入？

以上为本书摘选部分页面仅供预览，如需购买全文请联系卖家。

全国统一零售价： **¥ 184.00元**

卖家联系方式： 客服电话： 17165966596（同微信）

微信扫码加卖家好友：

微信客服

购买资料 | 咨询问题 | 加我好友



长按二维码加官方微信客服
实时客服在线一对一回复

考研内部群

笔记文档 | 资源更新 | 免费加入



长按二维码加入考研云内部群
群内每天发笔记及重点更新目录